

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07131027 A**

(43) Date of publication of application: 19.05.95

(51) Int. Cl
H01L 29/786
H01L 21/336
H01L 21/265
H01L 21/306

(21) Application number: 05293851

(22) Date of filing: 01.11.93

(71) Applicant: **FUJI XEROX CO LTD**

(72) Inventor: **HIKIJ TAKETO**
SAKURAI ATSUSHI

(54) FABRICATION OF THIN FILM SEMICONDUCTOR DEVICE

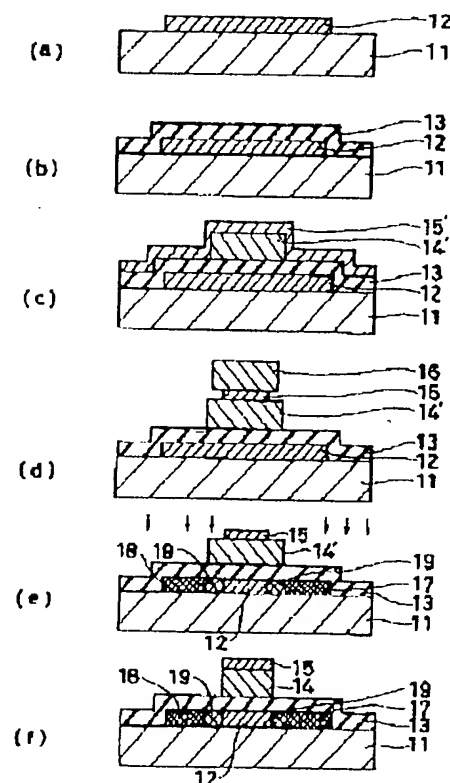
(57) Abstract:

PURPOSE: To provide a method for fabricating a thin film semiconductor device having LDD structure in which the uniformity is enhanced in the width of LDD region, i.e., the offset width.

CONSTITUTION: The method for fabricating a thin film semiconductor device having a lightly doped diffusion layer 19 formed contiguously to the source and drain regions 17, 18, with same conductivity type, which are formed on an insular semiconductor layer 12 formed on an insulating substrate 11 along with a gate insulation film 13, comprises a first etching step for depositing an anti-channeling film 15 on a gate electrode 14' formed on the gate insulating film 13 and machining the anti-channeling film 15 thinner than the gate electrode film 14' while self-aligning. The fabrication method further comprises a step for introducing impurities once from above the gate electrode 14' and the anti-channeling film 15 to form a source electrode 17, a drain electrode 18 and a lightly doped diffusion layer 19 on the insular semiconductor layer 12, and a second etching step for machining the gate electrode 14 to same width as the anti-channeling film 15.

COPYRIGHT: (C)1995,JPO

*reduced doping thru'
gate (somehow)*



*Not gate over
in final stage*

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-131027

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/786

21/336

21/265

9056-4M

H 0 1 L 29/78

3 1 1 P

21/265

H

審査請求 未請求 請求項の数 1 F D (全 6 頁) 最終頁に続く

(21) 出願番号 特願平5-293851

(22) 出願日 平成5年(1993)11月1日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72) 発明者 曳地 丈人

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

(72) 発明者 桜井 淳

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

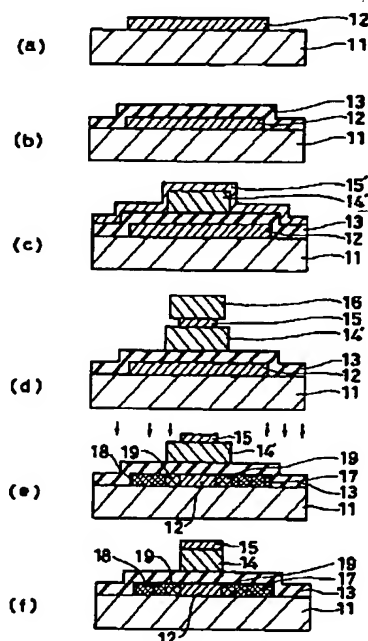
(74) 代理人 弁理士 阪本 清孝 (外1名)

(54) 【発明の名称】 薄膜半導体装置の製造方法

(57) 【要約】

【目的】 LDD構造の薄膜半導体装置の製造方法において、LDD領域幅、すなわちオフセット幅の均一性の向上を図る。

【構成】 絶縁性基板11上に島状半導体層12及びゲート絶縁膜13を形成し、該島状半導体層12に形成されたソース領域17とドレイン領域18に隣接して、該ソース領域とドレイン領域と同一導電型の低濃度拡散領域19を有する薄膜半導体装置の製造方法において、ゲート絶縁膜13上に形成されるゲート電極14'上にチャネリング防止膜15を積層し、前記チャネリング防止膜15をゲート電極14'幅に対して自己整合的に細くなるように加工する第1のエッチング工程と、ゲート電極14'及びチャネリング防止膜15の上方より一度の不純物の導入により、島状半導体層12にソース電極17、ドレイン電極18及び低濃度拡散領域19を形成する不純物導入工程と、前記チャネリング防止膜15と同一幅にゲート電極14を加工する第2のエッチング工程と、を有している。



【特許請求の範囲】

【請求項1】 絶縁性基板上に島状半導体層及びゲート絶縁膜を形成し、該島状半導体層に形成されたソース領域とドレイン領域に隣接して、該ソース領域とドレイン領域と同一導電型の低濃度拡散領域を有する薄膜半導体装置の製造方法において、

ゲート絶縁膜上に形成されるゲート電極上にチャネリング防止膜を積層し、前記チャネリング防止膜をゲート電極幅に対して自己整合的に細くなるように加工する第1のエッチング工程と、

ゲート電極及びチャネリング防止膜の上方より一度の不純物の導入により、島状半導体層にソース電極、ドレイン電極及び低濃度拡散領域を形成する不純物導入工程と、

前記チャネリング防止膜と同一幅にゲート電極を加工する第2のエッチング工程と、

を具備する薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、リーク電流を低減させる構造を有する薄膜半導体装置の製造方法に関し、特に、Lightly Doped Drain (LDD)構造の薄膜半導体装置において、オフセット幅の均一性の向上を図る方法に関する。

【0002】

【従来の技術】 絶縁性基板上に半導体薄膜を形成し、半導体薄膜中に薄膜半導体装置、特に、薄膜トランジスタ（以下、TFTという）回路を形成する場合、TFTの作製プロセスを600℃以下に抑えつつ、TFT性能を高移動度及び低オフ電流とすることが望まれている。これは、TFTを使用した画像入出力装置における駆動回路の高駆動能力の確保、及びゲート・ターンオフ時のオフ特性確保のためである。また、安価なガラス基板を絶縁性基板に用いた場合、熱歪みの発生を防止するためのプロセス温度は、500℃程度が限界であるとされている。

【0003】 TFTの特性において、高移動度化を図るためには、a-Siをレーザを用いた瞬間加熱により熔融結晶化したpoly-Si薄膜が半導体薄膜として適していることが提案されている（IEEE Electron Devices Letters vol. EDL-7 no. 5, pp. 276~278(1986)）。一方、オフ電流に関しては、poly-Si薄膜は膜中に多数の粒界が存在し、粒界に存在する電氣的トラップを介してキャリアの電界放出により、オフ電流が大きくなり実用上問題があった。その対策としては、ソース領域、ドレイン領域とゲート電極間に低濃度拡散領域を有するLDD構造が有効であることが知られている。

【0004】 例えば、特公平3-38755に示されるLDD構造の薄膜半導体装置について、図3を参照しながらその製造方法について説明する。ガラス等の絶縁性

基板31上にpoly-Si薄膜から成る島状の半導体活性層32を形成する。半導体活性層32上にSiO₂等から成るゲート絶縁膜33を堆積し、ゲート絶縁膜33上に形成したフォトリソグロフィーパターン34の上方からリン等の不純物を注入してソース領域35及びドレイン領域36を形成する。フォトリソグロフィーパターン34を除去した後、ゲート絶縁膜33上にpoly-Si薄膜等から成るゲート電極37を形成し、再度不純物を導入する。この時の不純物量をソース領域35及びドレイン領域36の形成時より少なくすることにより、ソース領域35、ドレイン領域36とゲート電極37の下層の半導体活性層32間にそれぞれ低濃度領域となるLDD領域38が形成される。その後、層間絶縁膜、配線金属を順次積層及びパターンニングしてLDD構造のTFTが完成する。

【0005】

【発明が解決しようとする問題点】 上記のような製造方法によると、レジストパターン34とゲート電極37のエッジ間がLDD領域38に相当するので、このLDD領域38はレジストパターン34形成時におけるフォトリソグロフィーによるフォトリソグロフィーの加工精度により決められる。しかしながら、LDD領域38の最適幅が約1.0~3.0μmであるのに対し、絶縁性基板31としてガラス基板を用いると、その伸縮によりフォトリソグロフィーのアライメント精度は約2.0μm程度と大きいので、LDD領域38の幅のばらつきも大きくなり、TFTの特性にばらつきが生じる。

【0006】 本発明は上記実情に鑑みてなされたもので、LDD構造の薄膜半導体装置の製造方法において、LDD領域幅、すなわちオフセット幅の均一性の向上を図ることができる製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 上記従来例の問題点を解決するため本発明は、絶縁性基板上に島状半導体層及びゲート絶縁膜を形成し、該島状半導体層に形成されたソース領域とドレイン領域に隣接して、該ソース領域とドレイン領域と同一導電型の低濃度拡散領域を有する薄膜半導体装置の製造方法において、次の各工程を具備することを特徴としている。第1のエッチング工程として、ゲート絶縁膜上に形成されるゲート電極上にチャネリング防止膜を積層し、前記チャネリング防止膜をゲート電極幅に対して自己整合的に細くなるように加工する。不純物導入工程として、ゲート電極及びチャネリング防止膜の上方より一度の不純物の導入により、島状半導体層にソース電極、ドレイン電極及び低濃度拡散領域を形成する。第2のエッチング工程として、前記チャネリング防止膜と同一幅にゲート電極を加工する。

【0008】

【作用】 本発明方法によれば、チャネリング防止膜をゲート電極幅に対して自己整合的に細くなるように加工

し、ゲート電極が露出される領域を形成する。その後、不純物の注入を行なうので、島状半導体層へは、ゲート絶縁膜を介する経路と、ゲート絶縁膜及び露出されたゲート電極を介する経路とから不純物が注入される。ゲート絶縁膜及びゲート電極を介して島状半導体層へ不純物が注入された部分は、ゲート絶縁膜のみを介して島状半導体層へ不純物が注入された部分より低濃度となる。島状半導体層における前記低濃度拡散部分はLDD領域となり、その幅はチャネリング防止膜のサイドエッチング量で規定されるので、均一化することができる。

【0009】

【実施例】本発明方法による薄膜半導体装置の製造プロセスの一実施例について、図1(a)ないし(f)を参照しながら説明する。透明絶縁性基板11上にpoly-Siを着膜し、所望の形状にパターニングして島状半導体層12を形成する(図1(a))。島状半導体層12を覆うようにSiO₂を着膜してゲート絶縁膜13を形成する(図1(b))。続いて、Moを着膜した後にパターニングし、前記島状半導体層12の中央に位置するゲート電極14'を形成し、更にSiNxを着膜して絶縁層15'を形成する(図1(c))。

【0010】絶縁層15'上にフォトリソを塗布し、裏面露光法を用いて前記フォトリソをパターニングし、ゲート電極14'に対して自己整合的となるレジストパターン16を形成する。次に、レジストパターン16をマスクとして絶縁層15'をドライエッチングしてチャネリング防止膜15を形成することにより、チャネリング防止膜15の幅をゲート電極14'幅に対して自己整合的に細くなるように加工する。この際に、オーバエッチングによるサイドエッチング量を制御することにより、ゲート電極14'の側端部表面が所望幅分だけ露出する(図1(d))。

【0011】レジストパターン16を除去した後、島状半導体層12にソース領域17及びドレイン領域18を形成するため、上方よりリン等のイオン注入を行なう。イオンインプラの条件は、P⁺、110keV、 2×10^{15} ions/cm²とした。この際、ゲート電極14'で被覆されない島状半導体層12部分については、ゲート絶縁層13を介してイオンが注入されてソース領域17及びドレイン領域18が形成される。また、ゲート電極14'で被覆された島状半導体層12部分のうち、チャネル防止膜15で被覆されない部分については、チャネリングによりゲート電極14'及びゲート絶縁層13をイオンが突き抜けるため低濃度のイオンが注入され、前記ソース領域17及びドレイン領域18の内側にソース領域及びドレイン領域より低濃度拡散領域となるLDD領域19が形成される(図1(e))。

【0012】次に、チャネリング防止膜15をマスクとしてゲート電極14'をHNO₃系エッチャントで再度パターニングしてゲート電極14とする(図1

(f))。その後、層間絶縁膜、配線金属を順次積層及びパターニングしてLDD構造のTFTが完成する。ゲート電極14の形成後のゲート電極14の表面は、チャネリング防止膜15で被覆されているので、プロセスにおいて熱等によるゲート電極表面の酸化を防ぐことができ、配線金属とのコンタクト抵抗の低減を図ることができる。

【0013】上記製造方法によれば、ゲート電極14'に対して自己整合的にレジストパターン16を形成する工程において、裏面露光を用いるので、ゲート電極14'端に対するレジストパターン16端の位置を精度良く制御することができる。また、ゲート電極14'(Mo)上に形成されるSiNxから成る絶縁層15'をパターニングしてチャネリング防止膜15を形成する際に、SiNxとMoのエッチング選択比の高い条件でCDE等の等方性エッチングを行えばサイドエッチング量を制御可能となり、チャネリング防止膜15の幅を、ゲート電極14'幅に対して均一性良く形成でき、結果としてLDD領域19の幅を均一化することができる。

【0014】図2(a)ないし(f)は、本発明方法による薄膜半導体装置の製造プロセスの他の実施例を示すものである。透明絶縁性基板21上にpoly-Siを着膜し、所望の形状にパターニングして島状半導体層22を形成する(図2(a))。島状半導体層22を覆うようにSiO₂を着膜してゲート絶縁膜23を形成する(図2(b))。続いて、Mo及びSiNxを順次着膜してゲート電極層24'及び絶縁層25'を形成し(図2(c))、更に、絶縁層25'上にフォトリソを塗布し、前記フォトリソを所望の形状にパターニングしてレジストパターン26を形成する。

【0015】次に、前記レジストパターン26をマスクとしてゲート電極層24'及び絶縁層25'をエッチングしてゲート電極24'及びチャネリング防止膜25を形成する。このパターニングにはドライエッチングを用いるが、Moに対してSiNxのエッチングレートが速くなるように条件を設定することにより、SiNx/Moから成る柱状構造の積層膜の側面はテーパ状となる。すなわち、チャネリング防止膜25の幅は、ゲート電極24'幅に対して自己整合的に細くなるように加工される。この際に、エッチングレートを調整することにより、テーパ面の傾きが制御でき、ゲート電極24'の側端部表面が所望幅分だけ露出する(図2(d))。

【0016】レジストパターン26を除去した後、島状半導体層22にソース領域27及びドレイン領域28を形成するため、上方よりリン等のイオン注入を行なう。イオンインプラの条件は、P⁺、110keV、 2×10^{15} ions/cm²とした。この際、ゲート電極24'で被覆されない島状半導体層22部分については、ゲート絶縁層23を介してイオンが注入されてソース領域27及びドレイン領域28が形成される。また、ゲート電極

24'で被覆された島状半導体層22部分のうち、チャネル防止膜25で被覆されない部分(テーパ面が露出されている部分)については、チャネリングによりゲート電極24'及びゲート絶縁層23をイオンが突き抜けるため低濃度なイオンが注入され、前記ソース領域27及びドレイン領域28の内側にソース領域及びドレイン領域より低濃度拡散領域となるLDD領域29が形成される(図2(e))。

【0017】次に、チャネリング防止膜25をマスクとしてゲート電極24'をHNO₃系エッチャントで再度バタニングしてゲート電極24とする(図2(f))。その後、層間絶縁膜、配線金属を順次積層及びバタニングしてLDD構造のTFTが完成する。ゲート電極24の形成後のゲート電極24の表面は、チャネリング防止膜25で被覆されているので、プロセスにおいて熱等によるゲート電極表面の酸化を防ぐことができ、配線金属とのコンタクト抵抗の低減を図ることができる。

【0018】上記製造方法によれば、ゲート電極層24''(Mo)及びSiNxから成る絶縁層25'をドライエッチングによりバタニングしてゲート電極24'及びチャネリング防止膜25を形成する際に、Moに対してSiNxのエッチングレートの違いを条件とすることにより、テーパ面の露出面積を制御可能となり、チャネリング防止膜25の幅を、ゲート電極24'幅に対して均一性良く形成でき、結果としてLDD領域29の幅を均一化することができる。

【0019】上記した各実施例によれば、LDD領域19(29)幅に相当するゲート電極14'の露出部分(ゲート電極24'のテーパ面)を、ゲート電極14(24')に対して自己整合的に細くして形成するので、前記露出部分の幅を均一化することができ、その結果、LDD領域19(29)の幅を均一化することができる。また、LDD領域19(29)形成用の不純物注入工程を特に設けることなく、一度の不純物の注入により、ソース領域17(27)、ドレイン領域18(28)及びLDD領域19(29)を同時に形成可能とする

ことができ、従来例に比較して製造工程の簡略化及びコストの軽減を図ることができる。

【0020】

【発明の効果】本発明方法によれば、チャネリング防止膜をゲート電極幅に対してエッチングにより自己整合的に細くなるように加工し、ゲート電極が露出される領域を形成し、その後に不純物の注入を行なうので、前記ゲート電極が露出される領域がLDD領域(低濃度拡散領域)幅に相当するようになる。従って、チャネル防止膜のサイドエッチング量によりLDD幅が規定されるので、アライメント精度の影響を受けることなくLDD領域の幅を均一化し、薄膜半導体装置の特性の均一化を図ることができる。

【0021】また、一度の不純物の注入により、ソース領域、ドレイン領域及びLDD領域を形成可能としているので、製造工程の簡略化を図ることができる。更に、ゲート電極の表面をチャネリング防止膜で被覆したので、その後のプロセスにおいてゲート電極表面の酸化を防ぐことができる。

【図面の簡単な説明】

【図1】 (a)ないし(f)は、本発明方法によるTFTの製造工程の一実施例を示す断面説明図である。

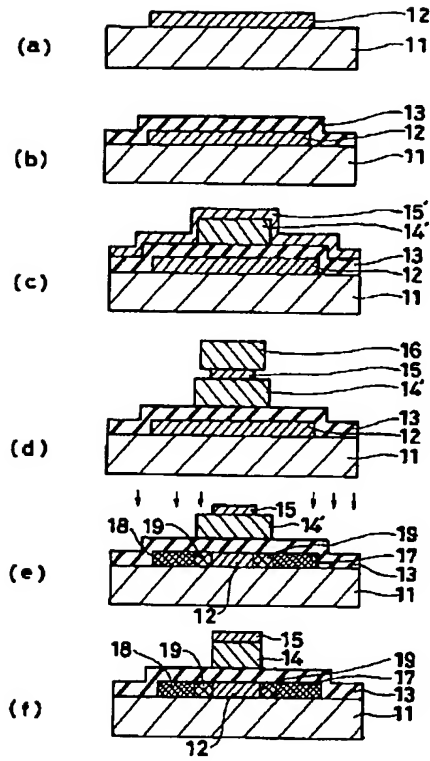
【図2】 (a)ないし(f)は、本発明方法によるTFTの製造工程の他の実施例を示す断面説明図である。

【図3】 (a)ないし(e)は、従来方法によるTFTの製造工程を示す断面説明図である。

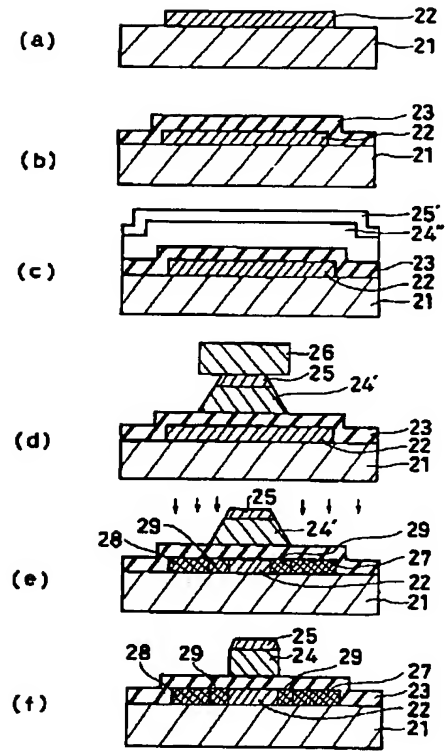
【符号の説明】

11…絶縁性基板、 12…島状半導体層、 13…ゲート絶縁膜、 14…ゲート電極、 15…チャネリング防止膜、 16…レジストパターン、 17…ソース領域、 18…ドレイン領域、 19…LDD領域(低濃度拡散領域)、 21…絶縁性基板、 22…島状半導体層、 23…ゲート絶縁膜、 24…ゲート電極、 25…チャネリング防止膜、 26…レジストパターン、 27…ソース領域、 28…ドレイン領域、 29…LDD領域(低濃度拡散領域)

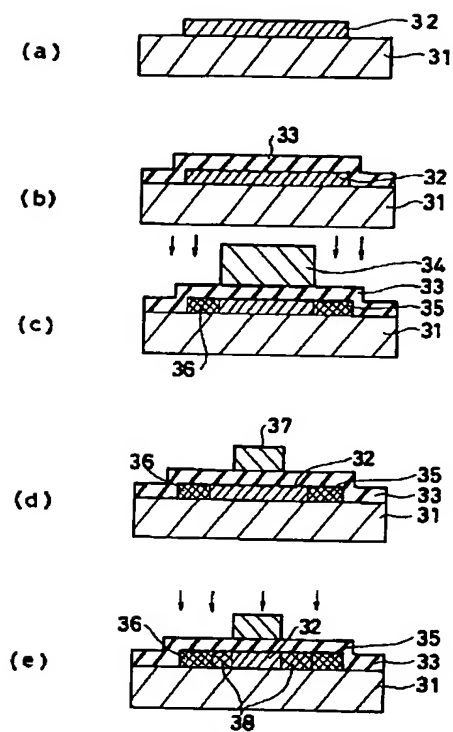
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl. ⁶

H01L 21/306

識別記号

庁内整理番号

F I

技術表示箇所

H01L 21/302

P

* NOTICES *

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] this invention relates to the technique of aiming at homogeneous enhancement in offset width of face, in the thin-film-semiconductor equipment of Lightly Doped Drain structure (LDD) especially about the manufacture technique of thin-film-semiconductor equipment of having the structure of reducing a leakage current.

[0002]

[Description of the Prior Art] To make TFT performance into high mobility and the low OFF state current is desired, suppressing [form a semiconductor thin film on an insulating substrate, and] the production process of TFT at 600 degrees C or less in a semiconductor thin film, when forming a TFT (henceforth TFT) circuit especially, thin-film-semiconductor equipment and. This is for the reservation of the high drive capacity of a drive circuit in the picture image I/O device which used TFT, and the off property reservation at the time of a gate turn-off. Moreover, when a cheap glass substrate is used for an insulating substrate, the process temperature for preventing occurrence of heat asymmetry is supposed that about 500 degrees C is a limitation.

[0003] In the property of TFT, in order to attain high mobility-ization, it is proposed that the poly-Si thin film which carried out melting crystallization of the a-Si by heating at the moment of using laser is suitable as a semiconductor thin film (IEEE Electron Devices Letters vol.EDL-7 no.5, pp.276-278 (1986)). On the other hand, about the OFF state current, through the electric trap which many grain boundaries exist in a layer and exists in a grain boundary, the OFF state current became large and the poly-Si thin film had a problem practically by the field emission of a carrier. It is known that LDD structure of having a low concentration diffusion field is effective between a source field, a drain field, and a gate electrode as the cure.

[0004] For example, the manufacture technique is explained, referring to drawing 3 about the thin-film-semiconductor equipment of LDD structure shown in JP,3-38755,B. The semiconductor barrier layer 32 of the shape of an island which consists of a poly-Si thin film is formed on the insulating substrates 31, such as glass. It is SiO₂ on the semiconductor barrier layer 32. The gate insulator layer 33 which consists of a grade is deposited, impurities, such as Lynn, are poured in from the upper part of the photoresist pattern 34 formed on the gate insulator layer 33, and the source field 35 and the drain field 36 are formed. After removing the photoresist pattern 34, on the gate insulator layer 33, the gate electrode 37 which consists of a poly-Si thin film etc. is formed, and an impurity is introduced again. By making the impure amount of resources at this time fewer than the time of formation of the source field 35 and the drain field 36, the LDD field 38 which turns into a low concentration field, respectively is formed between the semiconductor barrier layers 32 of a lower layer of the source field 35, the drain field 36, and the gate electrode 37. then, a layer insulation layer and a wiring metal -- one by one -- a laminating -- and patterning is carried out and TFT of LDD structure is completed

[0005]

[Problem(s) to be Solved by the Invention] According to the above manufacture technique, since between the edges of the resist pattern 34 and the gate electrode 37 is equivalent to the LDD field 38, this LDD field 38 is determined by the process tolerance of the photoresist by the photo lithography at the time of resist pattern 34 formation. However, if a glass substrate is used as an insulating

THIS PAGE BLANK (USPTO)

substrate 31 to the optimum width of face of the LDD field 38 being about 1.0-3.0 micrometers, by the expansion and contraction, since the alignment precision of photo lithography is as large as about about 2.0 micrometers, dispersion in the width of face of the LDD field 38 will also become large, and dispersion will arise in the property of TFT.

[0006] this invention was made in view of the above-mentioned actual condition, and aims at offering the manufacture technique that homogeneous enhancement in LDD field width of face, i.e., offset width of face, can be aimed at in the manufacture technique of the thin-film-semiconductor equipment of LDD structure.

[0007]

[Means for Solving the Problem] The source field and drain field which this invention forms an island-like semiconductor layer and a gate insulator layer on an insulating substrate in order to solve the trouble of the above-mentioned conventional example, and were formed in this island-like semiconductor layer are adjoined, and it is characterized by providing each following process in the manufacture technique of thin-film-semiconductor equipment of having this source field, a drain field, and the low concentration diffusion field of the same conductivity type. As 1st etching process, the laminating of the channeling prevention layer is carried out on the gate electrode formed on a gate insulator layer, and the above-mentioned channeling prevention layer is processed so that it may become thin to gate electrode width of face at a self-matching target. As an impurity introduction process, a source electrode, a drain electrode, and a low concentration diffusion field are formed in an island-like semiconductor layer by introduction of a one-time impurity from the upper part of a gate electrode and a channeling prevention layer. A gate electrode is processed into the same width of face as the above-mentioned channeling prevention layer as 2nd etching process.

[0008]

[Function] According to this invention technique, a channeling prevention layer is processed so that it may become thin to gate electrode width of face at a self-matching target, and the field where a gate electrode is exposed is formed. Since an impurity is poured in after that, an impurity is poured in in an island-like semiconductor layer from the path through a gate insulator layer, and the path through a gate insulator layer and the exposed gate electrode. The fraction into which the impurity was injected through the gate insulator layer and the gate electrode in the island-like semiconductor layer serves as low concentration from the fraction into which the impurity was injected only through the gate insulator layer in the island-like semiconductor layer. Since the above-mentioned low concentration diffusion fraction in an island-like semiconductor layer serves as LDD field and the width of face is prescribed by the amount of side etching of a channeling prevention layer, it can equalize.

[0009]

[Example]

THIS PAGE BLANK (USPTO)

* NOTICES *

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The source field and drain field which form an island-like semiconductor layer and a gate insulator layer on an insulating substrate, and were formed in this island-like semiconductor layer are adjoined. In the manufacture technique of thin-film-semiconductor equipment of having this source field, a drain field, and the low concentration diffusion field of the same conductivity type The 1st etching process which carries out the laminating of the channeling prevention layer on the gate electrode formed on a gate insulator layer, and processes the above-mentioned channeling prevention layer so that it may become thin to gate electrode width of face at a self-matching target, From the upper part of a gate electrode and a channeling prevention layer, by introduction of a one-time impurity The manufacture technique of thin-film-semiconductor equipment of providing the impurity introduction process which forms a source electrode, a drain electrode, and a low concentration diffusion field in an island-like semiconductor layer, and the 2nd etching process which processes a gate electrode at the same width of face as the above-mentioned channeling prevention layer.

[Translation done.]

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)